

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-263466

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

G06F 15/78

(21)Application number : 07-270006

(71)Applicant : ADVANCED MICRO DEVICES INC

(22)Date of filing : 18.10.1995

(72)Inventor : BUXTON CLARK L
CRAYCRAFT DONALD G
HAWKINS KEITH G
BAUM GARY

(30)Priority

Priority number : 94 325661

Priority date : 19.10.1994

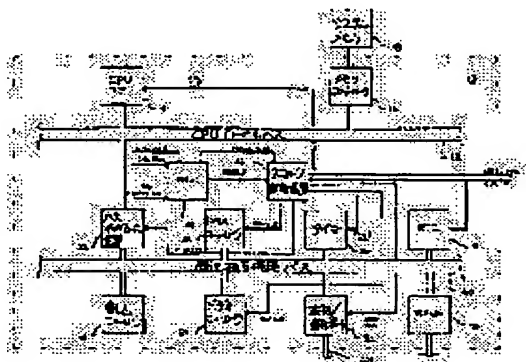
Priority country : US

(54) INTEGRATED PROCESSOR, INTEGRATED COMPUTER SYSTEM AND COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture an integrated processor using a circuit for coping with the data concentration, vision concentration and voice concentration requests of a personal information device on a single monolithic circuit.

SOLUTION: This integrated processor 10 is provided with a CPU core 14, a memory controller 16 and various peripheral devices and becomes almighty and high performance. Since a clock controller 26 provided with plural phase locked loops for generating the clock signals of different frequencies is provided and various sub systems are appropriately clocked, the power consumption of the processor 10 is small. Clock signals supplied to the various sub systems by the clock controller 26 are drawn from one crystal oscillator input signal. A power management device 24 is incorporated inside the processor, controls the frequency and/or application of the clock signals to the various sub systems and controls the other power management functions. Since certain external pins are selectively multiplexed corresponding to the desired functionality of the processor 10, the pin number of the processor 10 is minimized.



LEGAL STATUS

[Date of request for examination]

17.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-263466

(43) 公開日 平成8年(1996)10月11日

(51) Int. Cl.⁹

G 0 6 F 15/78

識別記号

5 1 0

庁内整理番号

F I

G 0 6 F 15/78

技術表示箇所

5 1 0 G

審査請求 未請求 請求項の数20 O L (全 14 頁)

(21) 出願番号 特願平7-270006

(22) 出願日 平成7年(1995)10月18日

(31) 優先権主張番号 08/325661

(32) 優先日 1994年10月19日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591016172

アドバンスド・マイクロ・ディバイス・
インコーポレイテッドADVANCED MICRO DEVI
CES INCORPORATEDアメリカ合衆国、94088-3453 カリフォ
ルニア州、サニペイル、ビー・オー・ボ
ックス・3453、ワン・エイ・エム・ディ・
プレイス (番地なし)

(72) 発明者 クラーク・エル・バクストン

アメリカ合衆国、78749 テキサス州、オ
ースティン、リードビル・ドライブ、3604

(74) 代理人 弁理士 深見 久郎 (外3名)

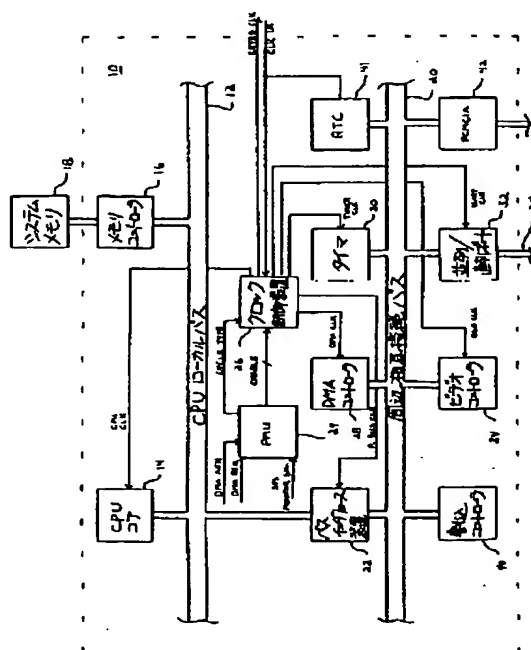
最終頁に続く

(54) 【発明の名称】 集積プロセッサ、集積コンピュータシステムおよびコンピュータシステム

(57) 【要約】

【課題】 パーソナル情報デバイスのデータ集中視覚集中および音声集中要求に対処する回路を用いる集積プロセッサを単一のモノリシック回路上に製造する。

【解決手段】 集積プロセッサ10はCPUコア14、メモリコントローラ16および種々の周辺装置を含んで万能かつ高性能となる。周波数の異なるクロック信号を発生するための複数のフェイズロックドループを含むクロック制御装置26を設けて種々のサブシステムを適切にクロックするためプロセッサの電力消費は小さい。クロック制御装置が種々のサブシステムに与えるクロック信号は1つの水晶発振器入力信号から引出される。電力管理装置24がプロセッサ内に組み入れられ、種々のサブシステムへのクロック信号の周波数および/または適用を制御しかつその他の電力管理機能を制御する。プロセッサのピン数はプロセッサの所望の機能性に応じてある外部ピンを選択的に多重化するので最小となる。



【特許請求の範囲】

【請求項 1】 集積プロセッサであって、単一のモノリシック半導体基板上に、CPUコアと、メモリコントローラと、DMAコントローラと、プログラマブルタイマと、割込コントローラと、ビデオコントローラと、並列ポートと、直列ポートとを含み、これらはすべてバス構造を介して相互接続される、集積プロセッサ。

【請求項 2】 前記バス構造はCPUローカルバスと、周辺相互接続バスと、これらの間に接続されるバスインタフェース装置とを含む、請求項 1 に記載の集積プロセッサ。

【請求項 3】 単一のクロック周波数を受取るようにされ、前記CPUコア、前記バスインタフェース装置、前記DMAコントローラ、前記プログラマブルタイマ、前記直列ポートおよび前記ビデオコントローラを異なる周波数でクロックすることができるクロック制御装置をさらに含む、請求項 2 に記載の集積コンピュータシステム。

【請求項 4】 前記集積プロセッサに関連する活性状態および非活性状態を検出するようにされ、前記クロック制御装置による選択されたクロック信号の発生を制御するためのイネーブル信号を伝送することができる電力管理装置をさらに含む、請求項 3 に記載の集積コンピュータシステム。

【請求項 5】 前記電力管理装置はさらに、前記周辺バスでの転送を示す信号をモニタし、その転送にตอบสนองして前記クロック制御装置にサイクルタイプ信号を伝送するようにされ、前記サイクルタイプ信号は、高速クロックまたは低速クロックのいずれかを前記CPUコアに接続するためのダイナミッククロックスイッチング回路に結合される、請求項 4 に記載の集積コンピュータシステム。

【請求項 6】 前記電力管理装置は、前記クロック制御装置に結合された電力管理状態マシンを含み、前記電力管理状態マシンは前記クロック制御装置が前記CPUコア、前記バスインタフェース装置、前記DMAコントローラ、前記プログラマブルタイマ、前記直列ポートおよび前記ビデオコントローラへそれぞれのクロック信号を与える間完全な動作状態を含み、電力管理状態マシンに接続され、予め定められた時間の経過にตอบสนองして電力が減じられた状態への遷移を引き起こすことができる少なくとも 1 つのカウンタをさらに含む、請求項 4 に記載の集積コンピュータシステム。

【請求項 7】 前記CPUローカルバスおよび前記ISAバスでの活性状態を検出するための前記電力管理状態マシンに結合されるシステムモニタをさらに含み、前記電力管理状態マシンは前記活性状態の検出にตอบสนองして前記電力が減じられた状態から前記完全な動作状態へとスイッチする、請求項 6 に記載の集積コンピュータシステム。

【請求項 8】 前記直列ポートはUARTを含む、請求項 3 に記載の集積コンピュータシステム。

【請求項 9】 前記ビデオコントローラはLCDコントローラを含む、請求項 3 に記載の集積コンピュータシステム。

【請求項 10】 前記周辺バスに接続されるリアルタイムクロックおよびPCMCIAコントローラをさらに含む、請求項 2 に記載の集積コンピュータシステム。

【請求項 11】 単一のモノリシック半導体基板上に集積されるCPUコア、電力管理装置および少なくとも 2 つのフェイズロックドループ回路を含むコンピュータシステムであって、前記フェイズロックドループ回路は前記電力管理装置による制御が可能であり、使用中に予め定められた電力管理アルゴリズムに従って複数のクロック信号を提供する、コンピュータシステム。

【請求項 12】 前記複数のクロック信号のうち 1 つを受取るための、前記単一のモノリシック半導体基板上に集積されたビデオコントローラをさらに含む、請求項 11 に記載のコンピュータシステム。

【請求項 13】 前記ビデオコントローラはさらにCGAコントローラを含む、請求項 12 に記載のコンピュータシステム。

【請求項 14】 前記複数のクロック信号のうち 1 つを受取るための、前記単一のモノリシック半導体基板上に集積されたプログラマブルタイマをさらに含む、請求項 11 に記載のコンピュータシステム。

【請求項 15】 前記複数のクロック信号のうち 1 つを受取るための、前記単一のモノリシック半導体基板上に集積されたキーボードコントローラをさらに含む、請求項 11 に記載のコンピュータシステム。

【請求項 16】 前記複数のクロック信号のうち 1 つを受取るための、前記単一のモノリシック半導体基板上に集積された汎用非同期送受信器をさらに含む、請求項 11 に記載のコンピュータシステム。

【請求項 17】 前記単一のモノリシック半導体基板上で、周辺相互接続バスに相互接続される、DMAコントローラ、割込コントローラ、PCMCIAインタフェース、並列ポート、直列ポート、およびバスコントローラをさらに含む、請求項 11 に記載のコンピュータシステム。

【請求項 18】 単一のモノリシック半導体基板上に、CPUローカルバスと、バスインタフェース装置を通して前記CPUローカルバスに結合される周辺バスと、前記CPUローカルバスに接続されるCPUコアおよびメモリコントローラと、前記周辺バスに接続されるDMAコントローラと、係属中または現在のDMA動作を示す信号に従って前記DMAコントローラにクロック信号を選択的に与えることのできるクロック制御装置とを含む、集積プロセッサ。

【請求項 19】 前記クロック信号はDMA要求信号の

アサーションにตอบสนองして前記DMAコントローラに与えられる、請求項18に記載の集積コンピュータシステム。

【請求項20】 前記クロック信号はDMAアドレスインネブル信号のアサーションにตอบสนองして前記DMAコントローラに与えられる、請求項19に記載の集積コンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の分野】本発明はコンピュータシステムに関し、より特定的には、集積プロセッサシステムのさまざまな回路をプログラム可能な別々の周波数で適切にクロックするクロック制御装置を有する、単一のモノリシック回路上に実現される集積プロセッサシステムに関する。

【0002】

【関連技術の説明】製造業者たちは、ますます多くの回路を単一のモノリシック半導体基板または「チップ」の上に設けることができることを立証している。本明細書中ではパーソナル情報デバイス（「PID」）と称されるポータブルデータ処理システムの出現により、単一のチップ上にさらに多くの回路を設ける必要に迫られている。本明細書中で規定するものとしては、PIDは、ポケットパーソナルコンピュータ（PC）、デジタル補助装置（テストユニット、メータなど）、「スマート」電話、および電子カレンダー、オーガナイザ、ブックレット等のCPUを基本としたいかなるポータブルシステムも含む。

【0003】現代のPIDは典型的に、機能的にはデータ集中、視覚集中および／または音声集中を必要とする。たとえば、ポケットパーソナルコンピュータは、データ集中機能を含む拡張データ計算を行なうことが要求されるかもしれない。さらに、ポケットパーソナルコンピュータはまた、たとえば、視覚集中機能が必要である詳細かつオブジェクト配向であるディスプレイが要求されるかもしれない。他方スマート電話には音声集中機能が必要であり、必ずしも視覚および／またはデータ集中機能は要求されないだろう。したがって、PIDアプリケーションという広範囲にわたる使用が意図される集積プロセッサシステムは、これら3つのタイプの機能性すべてを提供するために必要なサブシステムを含まねばならない。

【0004】上記の技術的特徴に加え、PIDのための集積プロセッサはまた、外形の小さなパッケージ内で低電力で動作せねばならず、低コストで利用できるとが好ましい。不運にも、たとえば集積プロセッサのピンカウントを減らすことによりコストを削減しようとする、と、集積プロセッサの何らかの望ましいサブシステムを排除する必要があるかもしれない、したがって機能性および／または性能を制限することになる。何らかのサブシステムを組入れたり、またはさまざまな異なる水晶発振

器回路を用いてさまざまなサブシステムをクロックする必要が生じると、電力消費に関しても同様に逆効果もたらされるかもしれない。万能性、小型、低電力消費、かつ低コストを維持する一方で適切な性能を獲得する、PIDのための集積プロセッサは概して入手不能である。

【0005】したがって、データ集中、視覚集中および／または音声集中PIDアプリケーションに適用可能な、高性能かつ万能性のある集積プロセッサが望ましい。このような集積プロセッサはさらに、小型、低電力消費、および低コストという特徴を有するべきものである。

【0006】

【発明の概要】上記の問題は概ね、本発明に従う高度に集積された低電力の集積プロセッサにより解決される。この集積プロセッサは単一のモノリシック回路上に製造され、今日のPIDのデータ集中、視覚集中、および音声集中要求を受け入れる回路を用いる。重要なことは、この集積プロセッサはCPUコア、メモリコントローラ、およびさまざまな周辺装置を含んで万能性および高性能という機能を達成することである。周波数の異なるクロック信号を発生して集積プロセッサのさまざまなサブシステムを適切にクロックするための複数のフェイズロックドループを含むクロック制御装置を設けることにより、集積プロセッサの電力消費は低減する。クロック制御装置によりさまざまなサブシステムに与えられるクロック信号は、単一の水晶発振器入力信号から引出される。必要な外部水晶発振器回路は1つだけであるため、電力消費は実質的に減じられる。電力管理装置がさらに集積プロセッサ内に組込まれ、さまざまなサブシステムへのクロック信号の周波数および／または適用を制御し、また電力管理に関連するその他の機能を制御する。集積プロセッサのピンカウントは最終的に、集積プロセッサの望ましい機能性次第で選択的にいくつかの外部ピンの多重化を行なうことにより、最小になる。あるユーザ定義モードでは、外部ピンはCGA LCDコントローラといった内部ビデオコントローラに割り当てられる。別のモードでは、外部ピンは集積プロセッサのCPUローカルバスの選択されたラインへの外部インタフェースを設けるように割り当てられる。さらに別のモードでは、外部ピンは集積プロセッサのISA型バスといった周辺バスの選択されたラインへの外部インタフェースを設けるように割り当てられる。集積プロセッサの全ピンカウントを最小にする一方で、集積プロセッサの万能性がこのようにして有利にも達成される。

【0007】1つの実施例において、集積プロセッサシステムはCPUローカルバスに接続されるCPUコアとメモリコントローラとを含む。集積プロセッサはさらに、バスインタフェース装置、プログラマブルタイマ、ダイレクトメモリアクセス（DMA）コントローラ、割

込コントローラ、リアルタイムクロック、ビデオコントローラ、並列/直列ポートおよびPCMCIAコントローラを含む、周辺相互接続バスに結合される選択された周辺装置の組を含む。CPUコア、バスインタフェース装置、DMAコントローラ、プログラマブルタイマ、直列ポートおよびビデオコントローラは各々、集積プロセッサ内で実現されるクロック制御装置が発生する異なるクロック信号によりクロックされる。クロック制御装置は上記のサブシステムを駆動する、周波数の異なるクロック信号を発生する。クロック制御装置は単一の水晶発振器の入力から動作する。クロック制御装置内で単一の水晶発振器入力を受取るように結合されるのは、1つまたはそれ以上の周波数通倍器および分周器を含む周波数シンセサイザである。好ましい実施例に従えば、各周波数通倍器はフェイズロックドループ回路を含む。クロック制御装置は、単一の入力周波数から、CPUローカルバスおよび周辺相互接続バスに接続されるさまざまな回路を動作するのに必要な、複数の異なるクロック周波数を合成する。

【0008】複数のフェイズロックドループ回路は、電力管理装置(PMU)で述べる予め定められた電力管理アルゴリズムに従って制御される。電力管理装置はシステムの活性状態を示す信号を受取るように結合される。非活性状態の間またはソフトウェアにより選択可能なユーザの定義によるときは、PMUはある電力管理状態から別の状態へと変化する。一般的に電力管理状態が変化すると、結果として電力管理装置からクロック制御装置に与えられるさまざまなイネーブル信号のアサーションに変化が生じる。イネーブル信号は選択的に、クロック制御装置内のフェイズロックドループ回路の能動化および電力節約のための選択されたクロック信号のゲーティングを制御する。

【0009】本発明のその他の目的および利点は、添付の図面を参照し以下の詳細な説明を読むことにより明らかになるであろう。

【0010】本発明はさまざまな修正形および代替形が適用される可能性があるが、その特定のな実施例が例示として図面に示され、以下に詳細に説明される。しかしながら、図面および詳細な説明は本発明を開示された特定の形式に制限することを意図するものではなく、反対に前掲の特許請求の範囲に規定される本発明の精神および範囲内での修正形、等価物および代替形を包含することを意図するものである。

【0011】

【発明の説明】図面を参照して、図1は単一のモノリシック半導体基板上に製造されるさまざまなサブシステムを含む集積プロセッサ10のブロック図である。この実施例では、集積プロセッサ10はCPUローカルバス12を介してメモリコントローラ16に結合されるCPUコア14を含む。CPUコア14は、予め定められた命

令セットを実現し、本明細書中で規定するものとしては、とりわけALU、制御/タイミング装置およびさまざまなレジスタという基本的な特徴を有するいかなる中央処理装置コアも含むデータ処理装置である。例示のCPUコアは、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド(Advanced Micro Devices Inc.)により製造されるAm386SXLVマイクロプロセッサのコアを含む。CPUコア14は、集積プロセッサ10のその他のサブシステムと同様、好ましくは、相補形金属酸化化物半導体(CMOS)技術に従って処理される。

【0012】メモリコントローラ16は、システムメモリ18とCPUローカルバス12との間のデータの転送を調整し、相対アドレス、指標アドレスおよび/またはページアドレス技術を利用し得る。1つの実施例では、メモリコントローラ16はランダムアクセスメモリ(DRAMまたはSRAM)または読出専用メモリ(ROM)のいずれかをサポートするように構成される。メモリコントローラ16は好ましくはCPUコア14と同期的に動作してCPUローカルバス12を介したシステムメモリへのおよびシステムメモリからの最大転送帯域幅を確保し、ページレジスタを備えたEMS互換メモリマッピングシステムを採用し得る。

【0013】集積プロセッサ10はまた、CPUローカルバス12と周辺相互接続バス20との間に結合されたバスインタフェース装置22を含む。バスインタフェース装置22はCPUローカルバス12と周辺相互接続バス20との間のデータおよびアドレス信号の転送を制御するためのインタフェースとして設けられる。バスインタフェース装置22の適切なさまざまな構成は周知のとおりである。

【0014】好ましい実施例では、周辺相互接続バス20は、ISA(産業標準アーキテクチャ)型のバスとして製造される。しかしながら、周辺相互接続バス20は、その代わりとして、たとえばEISA(拡張産業標準アーキテクチャ)バス構成またはPCI(周辺コンポーネントインタフェース)バス構成を含むさまざまなその他のバス構成に従って実現可能であることが理解される。

【0015】いくつかのAT互換周辺装置がさらに集積プロセッサ10内に組入れられる。特定的には、DMAコントローラ28、タイマ30、並列/直列ポート32、ビデオコントローラ34、割込コントローラ40、リアルタイムクロック(RTC)41、およびPCMCIAコントローラ42が例示として周辺相互接続バス20に結合される。これら周辺装置の各々は、別個の形式として周知であり、したがって、簡潔化かつ明確化のため、各々の説明はこの明細書中では以下のとおり簡単に行なう。

【0016】DMAコントローラ28が設けられて、集

積プロセッサ10の外部に結合され得るたとえば大量記憶装置(すなわちディスクドライブ、CD-ROM装置等)といったさまざまなI/O周辺装置とシステムメモリ18との間のデータ転送を独立して制御する。1つの実現化例においては、DMAコントローラ28は、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド製造の1対のカスケード結合タイプAm8237A DMAコントローラと機能的に互換性がある。

【0017】タイマ30が提供されて、ワンショット機能およびプログラマブルレート機能といった汎用タイミング機能を制御する。1実施例では、タイマ30は機能的に、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッドにより製造される8253タイプのプログラマブルインタバルタイマと互換性がある。

【0018】並列/直列ポート32は、並列ポートおよび直列ポート両方を含む。1実施例では、並列ポートは機能的にPS/2並列ポートと互換性があり、直列ポートは機能的にタイプ16450のUARTと互換性がある。

【0019】ビデオコントローラ34が与えられて、液晶ディスプレイ(LCD)といった外部接続されるディスプレイ装置を制御する。好ましい実施例では、ビデオコントローラ34はCGA互換LCDコントローラとして構成される。

【0020】割込コントローラ40が提供されて、さまざまな割込ソースが発生する割込信号を中心部でソートし、優先順位をつけ、制御する。1実施例では、割込コントローラ40は、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッドにより製造される1対のカスケード結合タイプ8259割込コントローラと機能的に互換性がある。

【0021】リアルタイムクロック41が設けられて時刻といった計時機能を維持し、146818Aタイプ互換RTCを用いて実現され得る。最後に、PCMCIAコントローラ42が設けられて外部接続されるPCMCIA互換拡張カードに対処する。

【0022】上記のAT互換周辺装置に加え、図1は最後に、集積プロセッサ10内の電力管理装置(PMU)24およびクロック制御装置26を示す。図2との関連で以下に詳細に説明するように、クロック制御装置26は、集積プロセッサ10に関連するさまざまなサブシステムをクロックするための複数の異なるクロック信号を発生するように構成される。より特定的には、動作の間、クロック制御装置26は、CPUコア14をクロックするためのCPUクロック、バスインタフェース装置22をクロックするための周辺バスクロック信号、並列/直列ポート32の直列ポートをクロックするためのUARTクロック信号、ビデオコントローラ34をクロックするためのCGAクロック信号、タイマ30をクロックするためのタイマクロック信号、外部接続されるキー

ボード(図示せず)をクロックするためのキーボードクロック信号、およびDMAコントローラ28をクロックするためのDMAクロック信号を発生する。クロック制御装置26は、外部水晶発振器回路(図示せず)から集積プロセッサ10に与えられ得る、「CLOCK IN」と明示される単一のクロック基準信号からこれらのクロック信号を引出す。すべてのサブシステムに必要なクロック信号を発生するためには外部水晶発振器ソースが1つだけ要求されるため、(複数の水晶発振器回路が用いられる場合と比較して)全体としての電力消費は実質的に低減されるだろう。

【0023】包括的には、電力管理装置24は、集積プロセッサ10を採用するシステムが消費する全体の電力を管理するために与えられる。1実施例では、電力管理装置24はさまざまなシステムの活性状態をモニタし、それに応答して、クロック制御装置26によるさまざまなクロック信号の発生および適用を制御する1組のインーブル信号および「CYCLE TYPE」と示された制御信号を発生する。クロック制御装置26に関する詳細および電力管理装置24の実施例は、以下図2-4との関連で説明する。

【0024】図2を参照すれば、クロック制御装置26のブロック図が示される。クロック制御装置26は、所与の周波数のクロック基準信号(すなわちCLOCK IN)を受取り、その信号に応答して周波数の異なる複数のクロック信号を発生し集積プロセッサ10のさまざまなサブシステムをクロックするようにされた周波数シンセサイザを含む。周波数シンセサイザは、1つまたはそれ以上の周波数逓倍器、1つまたはそれ以上の分周器または周波数逓倍器と分周器との組合せを含む。好ましい実施例では、各周波数逓倍器はフェイズロックドループを含む。

【0025】したがって、図2では第1、第2および第3のフェイズロックドループ回路92、94および96を示す。第1のフェイズロックドループ92に関連する周波数乗算ファクタは、第2のフェイズロックドループ94および第3のフェイズロックドループ96に関連する乗算ファクタと異なる可能性がある。たとえば、1つの実施例では、第1のフェイズロックドループ92の乗算ファクタは45であり、たとえばおよそ32KHzの入力クロック周波数は乗算されて1.474MHzの出力が第1のフェイズロックドループ92から発生される。第2のフェイズロックドループ94は、たとえば25の乗算ファクタで構成されて1.474MHzの入力周波数を36.864MHzに増大する。

【0026】図2に示され以下で説明されるその他の分周器と同様、第1の分周器98は1つまたはそれ以上の計数装置を採用するデジタル回路である。分周器は、たとえば直列接続されるフリップフロップといった双安定マルチバイブレータを用いて実現可能である。1つの

実施例では、第1の分周器98は14という除数と関連付けられ、したがって36.864MHzという周波数を有する第1の分周器98への入力信号は結果としておよそ2.63MHzという出力信号として発生されることになる。

【0027】第1の分周器98からの2.63MHzの出力信号の周波数は、プログラム可能な乗算ファクタの組に従い第3のフェイズロックドループ96により乗算可能である。したがって、プログラマブルスピードクロック(PS CLK)と表記される第3のフェイズロックドループ96の出力は、さまざまなプログラム可能なクロック周波数でセットできる。第3のフェイズロックドループ96のソフトウェアのプログラムの可能性は、周辺相互接続バス20に結合された構成レジスタ100を通して得ることができる。1つの実現化の例では、第3のフェイズロックドループ96はプログラムされて40MHz、50MHz、66MHz、または80MHzのいずれかの周波数のプログラマブルスピードクロック(PS CLK)を発生し得る。

【0028】第3のフェイズロックドループ回路96の出力に結合されるのは、ダイナミッククロックスイッチング回路102である。スイッチング回路102はまた、第2のフェイズロックドループ回路94からの出力信号(LS CLK)を受取るように結合される。電力管理装置24から受取るCYCLE TYPE信号次第で(図1参照)、スイッチング回路102はPS CLK信号またはLS CLK信号のいずれかをCPUクロックスイッチ104におよび第2の分周器106に結合する。以下さらに詳細に説明するように、CPU TYPE信号は、CPUローカルバス12の現在のバスサイクルが、ローカルバス12上に存在する装置にまたは周辺相互接続バス20上に存在する装置に導かれているのかどうかを示す。

【0029】CPUクロックスイッチ104は、電力管理装置24からのイネーブル信号CPU CLK ENABLEに応答して、スイッチング回路102からの出力信号PS/LS CLKを選択的にゲーティングすることができる電子スイッチである。CPUクロックスイッチ104が能動化されると、PS/CLK信号はCPUクロック信号CPU CLKとして与えられる。もし(CPU CLK)ENABLE信号がデアサートされると、CPUクロック信号はゲートオフされる。以下でさらに説明するように、CPUクロック信号は電力を節約するためにある電力管理状態の間はゲートオフされてもよい。

【0030】第2の分周器106が設けられて、バスインタフェース装置22(図1)をクロックする周辺バスクロック信号P. BUS CLKを発生する。周辺バスクロック信号は、バスインタフェース装置22により周辺相互接続バス20で実行されるサイクルのタイミング

を制御する。1つの実施例では、第2の分周器106は除数2と関連する。なお、周辺バスクロック信号によりクロックされ、周辺相互接続バス20を駆動する、バスインタフェース装置22内の制御回路は、周辺相互接続バス20上に存在するスレーブを含むサイクルの間のみ活性状態である。したがって、CPU TYPE信号により制御されるスイッチング回路102にしたがって、周辺相互接続バス20でバスインタフェース装置22が実行するマスタサイクルは、LS CLK信号の周波数の2分の1である信号でクロックされる。さらに、そのような電力節約のためのサイクルの間は、CPU CLK信号の周波数は同様にスケールダウンされる(すなわち、LS CLK信号の周波数に下げられる)。

【0031】図2はさらに、電力管理装置24からの対応するイネーブル信号に応答して、第1、第2および第3のフェイズロックドループ92-96を選択的に能動化するためのフェイズロックドループイネーブルラインの組を図示する。特定のには、ライン140が提供されてイネーブル信号を受取り第1のフェイズロックドループ92および第2のフェイズロックドループ94を能動化し、第2のライン141が提供されてイネーブル信号を受取り第3のフェイズロックドループ96を能動化する。CLOCK IN信号を受取るライン143と第2のフェイズロックドループ94との間に結合されているのは、第1のフェイズロックドループ92の能動化の後、第2のフェイズロックドループ94の能動化において遅延をもたらすための第1の遅延回路108である。フェイズロックドループ回路92および94のタイミングを適切に行なって動作させるために、遅延108は低速イネーブル信号LS PLL ENABLEにより第1のフェイズロックドループ92と同時に活性化される。低速イネーブル信号はまたゲート110の1つの入力に送られて第2のフェイズロックドループ回路94を遅延し活性化する。第3のフェイズロックドループ回路96の活性化は、第2のフェイズロックドループ回路94が能動化された後ある期間第2の遅延回路112により同じ態様で遅延される(すなわちライン141での対応するイネーブル信号がまたアサートされた場合)。このようにして、PMU24から送られる2つのイネーブル信号が用いられて、LS PLLおよびHS PLL ENABLE信号に従って、第1、第2および第3のフェイズロックドループ回路92-96を能動化する。

【0032】フェイズロックドループ94が能動化されると、たとえば36.864MHzの低速クロックLS CLKが、第3の分周器114、第4の分周器116、第5の分周器118、第6の分周器120および第7の分周器122と表記されるさまざまな並列接続された分周器に与えられる。各分周器はその他の分周器と異なる除算ファクタを有することが可能であり、たとえば第3の分周器114は、たとえば低速クロックを36.

864MHzからおよそ9.2MHzに低減してキーボードクロック信号を発生するために4で除算される。第4の分周器116がまた4で除算されて9.2MHzのDMAコントローラクロック信号を発生する分周器であることが可能であり、一方第5の分周器118がたとえば31という除数と関連して1.189MHzのタイマクロック信号を発生することが可能である。第6の分周器120は、たとえば20で除算する除算ファクタを有してたとえば1.84MHzのUARTクロック信号を発生することができる。第4の分周器116からのDMAクロック出力および第3の分周器114からのキーボードクロック出力は、それぞれDMAクロックスイッチ124およびキーボードクロックスイッチ126により選択的に能動化または不能化が可能である。キーボードクロックイネーブル(KEYBD CLK ENABLER)およびDMAクロックイネーブル(DMA CLK ENABLER)がまた電力管理装置24から与えられて、さまざまな電力管理状態の間それぞれのクロックを選択的にゲーティングする。

【0033】ライン141でイネーブル信号をデアサートすることにより、第3のフェイズロックドループ96をターンオフして、CPUクロックおよび周辺バスクロックを完全に非活性化することができる。第1および第2のフェイズロックドループ92、94がライン140でのイネーブル信号のデアサートの際に非活性化されて、結果としてCPUおよび周辺バスクロックのターンオフのみならず、クロック制御装置26が発生するその他すべてのクロックのターンオフをもたらすことができる。したがって、ライン140でのイネーブル信号のデアサートは、1つの実施例に従えば、キーボードクロック(KEYBD CLK)、DMAクロック(DMA CLK)、タイマクロック(TIMER CLK)、UARTクロック(UART CLK)、およびビデオクロック(VIDEO CLK)をターンオフすることができる。

【0034】第3のイネーブルライン142はANDゲート130に結合された形で示される。ゲート130からの出力は、ビデオイネーブル信号(VID PLL ENABLE)を介して第4のフェイズロックドループ回路128を能動化する。第4のフェイズロックドループ回路128は、ビデオイネーブル信号のアサーションの際に、第7の分周器122の出力から結果として発生するクロック周波数を増大する。低速クロック周波数を例示として36.864と仮定すれば、第7の分周器122からの周波数は2.048MHzである。1つの実現化例では、第4のフェイズロックドループ回路128は、例示の2.048MHzをたとえば14という乗算ファクタで乗算して28.67MHzの信号を発生する。例示の28.67MHzという出力周波数は次に、たとえば2で除算する除算ファクタを有する第8の分周

器132により除算されて、14.746MHzのビデオクロック信号を発生することができる。なお、第4のフェイズロックドループ128の能動化は第2のフェイズロックドループ94の能動化と同じ態様で第1の回路108により遅延される。

【0035】次に図3を参照すれば、電力管理装置24の1つの実現化例のブロック図がさらに詳細に示される。電力管理装置24が周辺相互接続バス20およびクロック制御装置26に接続されて示される。前述のとおり、電力管理装置24はさまざまなシステムの活性状態をモニタし、それに応答して、クロック制御装置26が合成するさまざまなクロック信号の発生および適用を制御するイネーブル信号およびCYCLE TYPE制御信号を発生する。以下の説明および添付の図面は、電力管理装置24の1つの特定の構成に関する詳細な説明を含むが、その代わりとして、集積プロセッサ10がさまざまなその他の特定の電力管理アルゴリズムに従い動作する電力管理装置を採用することが可能であることが理解される。

【0036】電力管理装置24は、さまざまな予め定められたシステムのイベントが発生するかしないか次第で、複数の電力管理状態の間で遷移するように構成される電力管理状態マシン356を含む。図4は、電力管理状態マシン356に関連する状態を示す状態推移図である。クロック制御装置26に与えられるさまざまなイネーブル信号のアサーションは、電力管理装置356の特定の状態次第である。特定の詳細な説明を以下に続ける。

【0037】電力管理装置24は、予め定められたシステムのイベントを示す選択された信号('SYS. MONITOR SIGS.」と示される)をモニタするためのシステムモニタ374を含む。そういったイベントの例は、何らかのアドレスへのI/Oデコード、DMA要求、割込、および状態信号における変化である。図3および4は、1つの実施例に従って、5つの状態遷移カウンタ362-370および6つの電力管理状態480-490を含む。5つのカウンタは、全速カウンタ362、低速カウンタ364、ドーズカウンタ366、スリープカウンタ368およびサスペンドカウンタ370として示され、6つの電力管理状態は、全速480、低速482、ドーズ484、スリープ486、サスペンド488およびオフ490として示される。以下さらに詳細に説明するように、各電力管理状態は、予め定められた態様で(ユーザまたはシステムの設計者によりプログラム可能である)、クロック制御装置26に与えられるイネーブル信号を駆動する。各カウンタは、対応する電力管理状態に関連するタイムアウト期間を制御する。所与のタイムアウト期間が終了すると電力管理状態マシンは低電力管理状態に遷移する。たとえば、全速カウンタ362のタイムアウトが終了すると、全速状態480か

ら低速状態 482 への移行が生じ、低速カウンタ 364 のタイムアウトが終了すると低速状態 482 からドーズ状態 484 へと移行し、以降同様である。なお、システムモニタ 374 により検出される何らかの予め定められたシステムのイベントが発生すると、各カウンタはリセットされ、そのような検出が電力管理状態マシン 356 を全速状態 480 に遷移させる。さらに、全速カウンタ 362 に関連するタイムアウト期間は、低速カウンタ 364 のタイムアウト期間よりも短く、低速カウンタ 364 に関連するタイムアウト期間はドーズカウンタ 366 のタイムアウト期間よりも短く、以降も同様である。好ましい実施例では、各カウンタに関連するタイムアウト期間は、デコーダ 360 を介してプログラムされ得る。さらにマスキレジスタ 372 をセットしてシステムモニタ 374 による選択されたシステムの活性状態の検出をマスクできる。付け加えて、電力管理状態マシン 356 の状態は、電力管理状態レジスタ 358 のソフトウェア制御を介して直接変化させることができる。

【0038】したがって、システムが非活性状態である間（システムモニタ 374 が検出するシステムイベントが発生しないことにより決定する）、電力管理状態マシン 356 は低電力管理状態へとシーケンシャルに遷移する。システムイベントの発生がモニタされると、状態マシン 356 は全速モード 480 に戻る。所望される電力管理状態の数次第で、5 つよりも多くのまたは 5 つよりも少ないカウンタを電力管理装置 24 内に採用することができる。図 3 および 4 は単に例として 5 つのカウンタおよび 6 つの電力管理状態を示すものである。

【0039】システムモニタ 374 はさらに、バスの「詮索」またはモニタ技術を利用して現在のサイクルが周辺相互接続バス 20 上にある周辺装置へのアクセスに

30
表 1

状 態	HS/LS	LS	VIDEO	DMA CLK	KYBD CLK	TIMER/CART CLK
	CPU CLK	CPU CLK	CLK			
全速	オン	オン	オン	オン	オン	オン
低速	オン	オン	オン	オン	オン	オン
ドーズ	オフ	オフ	オン/オフ	オフ	オン/オフ	オン/オフ
スリープ	オフ	オフ	オン/オフ	オフ	オフ	オン/オフ
サスペンド	オフ	オフ	オン/オフ	オフ	オフ	オン/オフ
オフ	オフ	オフ	オン/オフ	オフ	オフ	オン/オフ

【0043】上の表に示すように、図 4 の全速状態 480 の間、すべてのフェイズロックドループが能動化される。スイッチング回路 102 による高速クロック（PS CLK）へのダイナミックスイッチングは、メモリ、ローカルバスおよび CPU コアのアイドルサイクルの間可能である。このことにより CPU コア 14 は最適性能のための最大周波数で実行できる。その他すべてのバスサイクルはスイッチング回路 102 により低速クロック

* ムモニタ 374 がそのようなサイクルを検出すると、CYCLE TYPE 信号が駆動され、スイッチング回路（図 2）が LS CLK 信号を選択する。CPU ローカルバス 12 に限定されるサイクルの間、スイッチング回路 102 は PS CLK 信号を選択する。

【0040】電力管理装置 24 のシステムモニタは最終的に、DMA コントローラ 28（図 1）に関連する DMA REQ および AEN をモニタし、もし DMA REQ（DMA 要求）信号または AEN（アドレスイネーブル）信号のいずれかがアサートされた場合に、選択的に DMA クロックイネーブル信号（DMA CLK ENABLE）をアサートするように構成される。当業者は、これらの信号は係属中のまたは現在の DMA 動作を示すものであることを理解するであろう。図 1-3 に示すように、DMA CLK ENABLE 信号は DMA コントローラ 28 への DMA CLK 信号の適用を制御して、もし DMA 動作が係属中でなくまたは発生しているのでなければ、DMA CLK 信号が電力管理状態マシン 356 の現在の状態にかかわらず DMA コントローラ 28 からゲーティングされるだろう。電力はこれのようにして節約される。

【0041】以下の表 I は、1 つの実施例に従う、各動作状態の間の電力管理状態マシン 356 によるさまざまなクロック信号の制御を示す。表 I は、上記のさまざまな電力管理状態で規定されるイネーブル信号の、さまざまなクロック信号に対する効果を示す。したがって、以下のように、さまざまな電力管理状態の間、あるクロック信号の発生はプログラム可能であることが注目される。

【0042】

【表 1】

にスイッチされる。このことにより低速の ISA サイクル（すなわち周辺バスサイクル）の実行およびそれに対応して CPU クロックを減速して電力を低減することがもたらされる。

【0044】低速状態では、CPU クロック、DMA クロックおよび内部システムクロック（周辺バスクロック）は、プログラム可能な低減された速度で動作する。

50
なお、CPU クロック信号、周辺バスクロック信号、お

よびDMAクロック信号の周波数は、スイッチ104、124および第2の分周器106内の選択的に制御可能な分周器回路により低減され得る。低速状態の間の可能な最高のCPUクロック速度は、例示として9.2MHzである。高速クロック(PSCLK)へのダイナミックスイッチングは許可されない。任意的に、第3のフェイズロックループ回路96をさらなる電力節約のためにこのモードで閉じることができる。

【0045】ドーズ状態の間、CPUクロック(低速および高速)は、DMAクロックおよび周辺バスクロックとともに停止される。ビデオ、キーボード、およびタイマクロックはデフォルトにより能動化されるが、ターンオフがプログラム可能であるだろう。これらのクロックの動作を可能とすることにより、ビデオコントローラ34に結合されたLCDディスプレイは、リフレッシュを続けることが可能であり、タイマおよびキーボード割込を発生することが可能である。スリープ、サスペンドおよびオフ状態は、CPUクロック、周辺バスクロック、DMAクロック、およびキーボードクロックが各々オフとされるという点において同様である。ビデオクロックおよびUARTクロックのオンまたはオフはプログラムされ得る。

【0046】なお、電力管理装置24のさまざまな状態の間、集積プロセッサ10の外部の電力制御ピンは適切に駆動され、そのため集積プロセッサ10に接続される外部装置への電力は除去されるだろう。この制御はまたプログラム可能である。

【0047】さらに、クロック制御装置26が発生するさまざまなクロック信号の制御は、さまざまな代替の電力管理アルゴリズムに従って達成し得る。たとえば、集積プロセッサ10は、同時係属中の、同一人に譲渡される、1995年1月30日に出願された、オブライエン(O'Brien)らによる、特願平7-12262の、「コンピュータシステムのための電力管理ユニットおよびコンピュータシステム内の電力を管理するための方法(Power Management System for an Integrated Processor)」と題される特許出願において述べられた電力管理アルゴリズムに従って動作する電力管理装置を採用し得る。この出願の全体をこの明細書中に引用により援用する。

【0048】次に図5を参照すれば、ユーザ定義外部バス構成オプションに対応する、集積プロセッサ10内の内部回路の一部が示される。特定のには、集積プロセッサ10が用いられる特定のPID環境次第で、ユーザは任意的にビデオコントローラモード(または「CGAモード」)、ローカルバスモード、またはISA(周辺バス)バスモードを選択できる。図5の回路は、3つの入力ポートおよび1つの出力ポートを有するマルチプレクサ550を含む。1つの入力ポートはビデオコントローラ34からの選択されたラインの組552に接続さ

れ、別の入力ポートは選択された周辺相互接続バスライン554の組に接続され、さらに別の入力ポートは選択されたCPUローカルバス出力ライン556の組に接続される。マルチプレクサ550は、集積プロセッサ10の外部ピンに結合される、ライン552、554または556のいずれかのうち1つの組を選択する。このようにしてマルチプレクサ550は外部バス構成オプションをサポートし、ビデオコントローラ34、周辺相互接続バス20、またはローカルバス12に関連する選択された信号は集積プロセッサ10の外部ピンに結合され得る。外部ローカルバス周辺装置、外部ISAバス周辺装置、または外部CGALCDディスプレイ(ビデオRAMを備える)をこのようにして、特定のアプリケーションの要求次第で、任意的にサポートすることができる。

【0049】マルチプレクサ550はライン560でラッチ566から与えられる制御信号により制御される。ラッチ566は、システムリセット信号の立上がりエッジで、ラインの組562および564での論理レベルをラッチする。入力ライン562および564の論理レベルは、それぞれの電源および接地電位に結合される外部受動プルアップまたはプルダウン抵抗器により決定される。ここに示す1つの例では、プルアップ抵抗器568およびプルダウン抵抗器570は、入力ライン562および564に結合される。このようにしてプルアップ抵抗器568を用いてライン562を受動的に引き上げ、一方プルダウン抵抗器を用いてライン562を受動的に引き下げる。プルアップ抵抗器568を入力ライン562に接続する代わりに、異なる外部ピンモードを選択するために、ユーザが入力ライン562でプルダウン抵抗器(点線で示される)を接続しおよび/またはプルアップ抵抗器(点線で示される)を入力ライン564で接続することができる。各入力ラインで選択的にプルアップまたはプルダウン抵抗器を接続することにより、システムの設計者は、マルチプレクサ550が選択する特定のラインの組552、554または556を任意的に制御して集積プロセッサ10の対応する外部ピンの機能性を制御することができる。なお、システムリセットに続いて、ラッチ566のライン562および564に接続するピンを採用して、直列ポート信号RTSおよびDTRといったその他の信号に対処し得る。このような状況では、ライン562および564はビデオコントローラ34のRTSおよびDTR入力に並列に結合される。このようにして集積プロセッサ10の外部ピンを二重の目的で採用することにより、コストおよびサイズの低減がさらにもたらされる。

【0050】以下の表は、マルチプレクサ550を介して集積プロセッサ10の外部ピンに選択的に与えることができる例示の信号の組を表わす。

【0051】

【表2】

表II

ビデオコントローラ オプション (CGA信号)	ローカルバスオプション オプション (386ローカルバス信号)	周辺バス オプション (ISA信号)
PIRQ1	PIRQ1	IRQ6
PIRQ0	PIRQ1	IRQ3
DSMD7	ADS#	OWS#
DSMD6	D/C#	DRQ0
DSMD5	M/IO#	DRQ3
DSMD4	W/R#	DRQ7
DSMD3	BHE#	IRQ9
DSMD2	BLE#	IRQ11
DSMD1	LRDY#	DRQ6
DSMD0	LDEV#	RESERVED
DSMA14	A23	LA23
DSMA13	A22	LA22
DSMA12	A21	LA21
DSMA11	A20	LA20
DSMA10	A19	LA19
DSMA9	A18	LA18
DSMA8	A17	LA17
DSMA7	A16	DACK0#
DSMA6	A15	DACK3#
DSMA5	A14	DACK7#
DSMA4	A13	DACK6#
DSMA3	CPUCLK	PULLUP
DSMA2	CPURST	RESERVED
DSMA1	NA#	IRQ7
DSMA0	387RESET	PULLUP
DSWE#	387ERR#	PULLUP
DSOE#	CPURDY#	LMEG#
DSCE#	DACK1#	DACK1#
LCDD0	DRQ1	DRQ1
LCDD1	DACK5#	DACK5#
LCDD2	DRQ5	DRQ5
LCDD3	IOCHCHK#	IOCHCHK#
M	IRQ4	IRQ4
CP1	PREQ	IRQ5
CP2	BUSY#	IRQ10
FRM	IRQ12	IRQ12
LVEE#	IRQ15	IRQ15
LVDD#	RESERVED	BALE

【0052】なお、1つの実現化例では、内部ISAバス（周辺バス20）のさらなる予め定められたラインのグループは、永久的に集積プロセッサ10の専用外部ピンに結合され、マルチプレクサ550を介して選択される特定のモードにかかわらず16ビットの外部ISA転送をサポートする。このような実現においては、ISAバスのラインの組554（上記の表で規定される）は、任意的にマルチプレクサ550を介して外部に結合されてさらに広範囲のISAの機能性をサポートすることができる。

【0053】上記の開示を十分に理解すれば数多くの変形および修正形が当業者には明らかになるであろう。たとえば、DMAコントローラ28、タイマ30、ビデオコントローラ34、並列/直列ポート32、リアルタイムクロック41およびPCMCIAコントローラ42を代替的にCPUローカルバス12に接続することができ

ることが理解される。前掲の特許請求の範囲は、このような変形および修正形すべてを包含するものとして解釈されるべきものである。

【図面の簡単な説明】

【図1】本発明の1つの実施例に従って単一のモノリシックチップの上で実現される、CPUコア、メモリコントローラ、さまざまな周辺装置、クロック制御装置および関連する電力管理装置を含む集積プロセッサシステムのブロック図である。

【図2】本発明の1つの実施例に従う、クロック制御装置およびそれに関連する入力/出力信号のブロック図である。

【図3】本発明の1つの実施例に従う、電力管理装置（PMU）およびそれに関連する入力/出力信号のブロック図である。

【図4】電力管理装置のさまざまな電力管理状態を示す

状態図である。

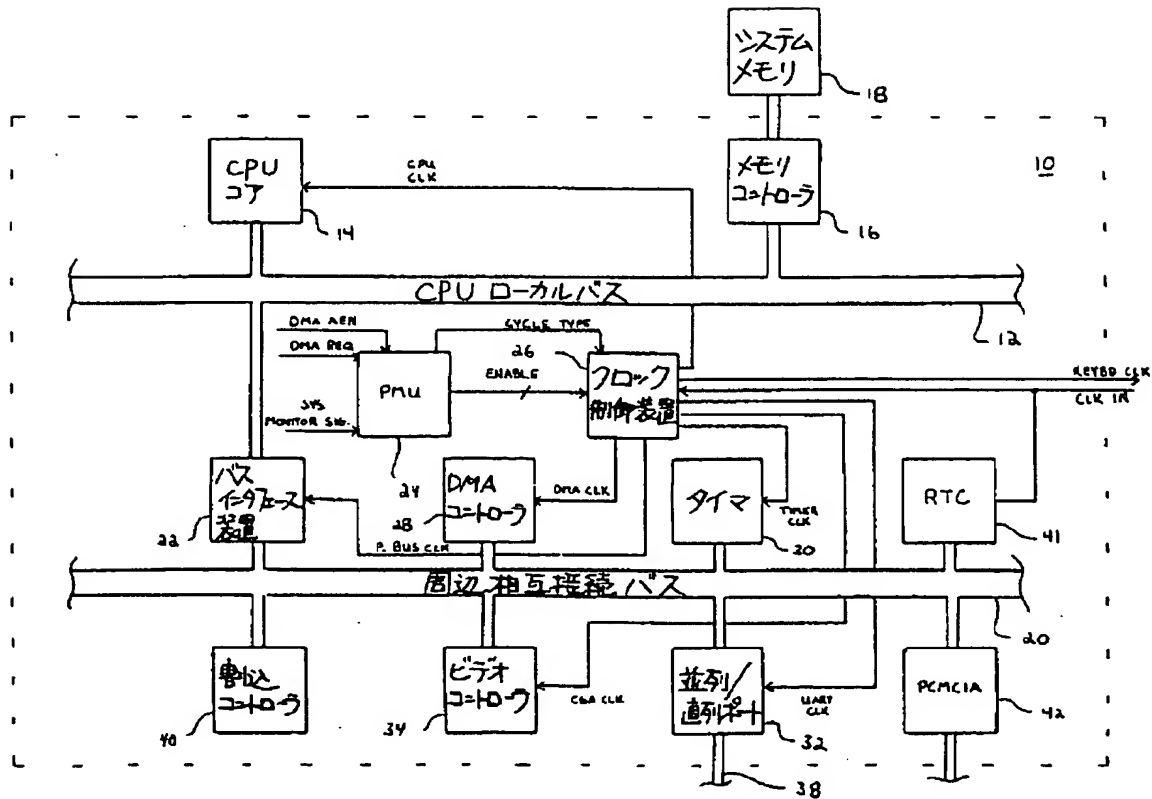
【図5】 ユーザ定義ピンオプションにより、集積プロセッサのいくつかの外部ピンの機能性を選択的に制御する、集積プロセッサシステム内に採用されるマルチプレクサ回路の図である。

【符号の説明】

- * 12 CPUローカルバス
- 14 CPUコア
- 20 周辺相互接続バス
- 24 電力管理装置
- 26 クロック制御装置

*

【図1】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 14 年 12 月 20 日 (2002. 12. 20)

【公開番号】特開平 8-263466
 【公開日】平成 8 年 10 月 11 日 (1996. 10. 11)
 【年通号数】公開特許公報 8-2635
 【出願番号】特願平 7-270006
 【国際特許分類第 7 版】

G06F 15/78 510
 【F I】
 G06F 15/78 510 G

【手続補正書】

【提出日】平成 14 年 9 月 17 日 (2002. 9. 17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 集積プロセッサであって、単一の半導体基板上に、CPU コアと、DMA コントローラと、プログラマブルタイマと、ビデオコントローラと、直列ポートと、クロック制御装置と、電力管理装置とを含み、これらはすべてバス構造を介して相互接続され、前記バス構造は、CPU ローカルバスと、周辺相互接続バスと、これらの間に接続されるバスインタフェース装置とを含み、前記電力管理装置は、前記電力管理装置が前記バス構造をモニタしている間は全速状態で動作するようにされ、サイクルタイプ信号を駆動して現在のサイクルが周辺相互接続バスアクセスに対応する時を示し、前記クロック制御装置は、前記サイクルタイプ信号を受け、周波数の異なる CPU クロック、バスインタフェース装置クロック、DMA コントローラクロック、プログラマブルタイマクロック、直列ポートクロック、およびビデオコントローラクロックを与えるようにされ、前記クロック制御装置は、前記サイクルタイプ信号にตอบสนองして、前記 CPU クロックを、周辺相互接続バスサイクルの間は低速クロックにスイッチし、ローカルバスサイクルの間は高速クロックにスイッチし、前記 DMA コントローラクロック、前記プログラマブルタイマクロック、前記直列ポートクロック、および前記ビデオコントローラクロック周波数は前記サイクルタイプ信号に影響されない、集積プロセッサ。

【請求項 2】 前記電力管理装置は、前記電力管理装置を高速状態から低速状態に第 1 の予め定められた期間の経過時に遷移させる第 1 のカウンタを含み、

前記クロック制御装置は、前記低速状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックの周波数を減じる、請求項 1 に記載の集積プロセッサ。

【請求項 3】 前記電力管理装置は、予め定められた複数のシステムイベントのうち 1 つが検出されると前記第 1 のカウンタをリセットする、請求項 2 に記載の集積プロセッサ。

【請求項 4】 前記電力管理装置は、予め定められた複数のシステムイベントのうち 1 つが検出されると前記低速状態から前記高速状態に遷移する、請求項 2 に記載の集積プロセッサ。

【請求項 5】 前記低速状態の間に前記クロック制御装置が減じる前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックの周波数はプログラム可能である、請求項 2 に記載の集積プロセッサ。

【請求項 6】 前記予め定められた期間はプログラム可能である、請求項 2 に記載の集積プロセッサ。

【請求項 7】 前記電力管理装置はさらに、前記電力管理装置を前記低速状態からドーズ状態に第 2 の予め定められた期間の経過時に遷移させる第 2 のカウンタを含み、

前記クロック制御装置は、前記ドーズ状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックを遮断する、請求項 2 に記載の集積プロセッサ。

【請求項 8】 前記電力管理装置は、予め定められた複数のシステムイベントのうち 1 つが検出されると前記第 1 および第 2 のカウンタをリセットする、請求項 7 に記載の集積プロセッサ。

【請求項 9】 前記電力管理装置は、予め定められた複数のシステムイベントのうち 1 つが検出されると前記高速状態に遷移する、請求項 7 に記載の集積プロセッサ。

【請求項 10】 前記電力管理装置はさらに、前記予め定められた複数のシステムイベントのうち選択されたシ

システムイベントをプログラム可能にマスクするためのマスクレジスタを含む、請求項 4 に記載の集積プロセッサ。

【請求項 11】 前記第 1 および第 2 の予め定められた期間はプログラム可能であり、前記第 2 の予め定められた期間は前記第 1 の予め定められた期間より長い、請求項 7 に記載の集積プロセッサ。

【請求項 12】 前記電力管理装置はさらに、前記電力管理装置をソフトウェア制御により前記高速状態、前記低速状態および前記ドーズ状態間で変化させる電力管理状態レジスタを含む、請求項 7 に記載の集積プロセッサ。

【請求項 13】 前記電力管理装置はさらに、前記電力管理装置を前記ドーズ状態からスリープ状態に第 3 の予め定められた期間の経過時に遷移させる第 3 のカウンタを含み、前記クロック制御装置は、前記スリープ状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロック、前記バスインタフェース装置クロックおよび前記ビデオコントローラクロックを遮断する、請求項 7 に記載の集積プロセッサ。

【請求項 14】 前記全速、低速、ドーズおよびスリープ状態にตอบสนองして、外部電力制御ピンが駆動されて前記集積プロセッサに接続された外部装置に対し電力の供給または除去を行なう、請求項 13 に記載の集積プロセッサ。

【請求項 15】 集積プロセッサであって、CPU コアと、DMA コントローラと、クロック制御装置と、電力管理装置とを含み、これらはすべてバス構造を介して相互接続され、

前記バス構造は、CPU ローカルバスと、周辺相互接続バスと、これらの間に接続されるバスインタフェース装置とを含み、

前記電力管理装置は、前記電力管理装置が前記バス構造をモニタしている間は全速状態で動作するようにされ、サイクルタイプ信号を駆動して現在のサイクルが周辺相互接続バスアクセスに対応する時を示し、

前記クロック制御装置は、前記サイクルタイプ信号を受け、周波数の異なる CPU クロック、バスインタフェース装置クロックおよび DMA コントローラクロックを与えるようにされ、前記クロック制御装置は、前記サイクルタイプ信号にตอบสนองして、前記 CPU クロックを、周辺

相互接続バスサイクルの間は低速クロックにスイッチし、ローカルバスサイクルの間は高速クロックにスイッチし、前記 DMA コントローラクロックは前記サイクルタイプ信号に影響されない、集積プロセッサ。

【請求項 16】 集積プロセッサであって、CPU コアと、DMA コントローラと、ビデオコントローラと、クロック制御装置と、電力管理装置とを含み、これらはすべてバス構造を介して相互接続され、

前記バス構造は、CPU ローカルバスと、周辺相互接続バスと、これらの間に接続されるバスインタフェース装置とを含み、

前記電力管理装置は、

前記電力管理装置を高速状態から低速状態に第 1 の予め定められた期間の経過時に遷移させる第 1 のカウンタと、

前記電力管理装置を前記低速状態からドーズ状態に第 2 の予め定められた期間の経過時に遷移させる第 2 のカウンタと、

前記電力管理装置を前記ドーズ状態からスリープ状態に第 3 の予め定められた期間の経過時に遷移させる第 3 のカウンタとを含み、

前記クロック制御装置は、周波数の異なる CPU クロック、バスインタフェース装置クロックおよび DMA コントローラクロックを与えるように構成され、前記クロック制御装置はビデオコントローラクロックを与えるようにも構成され、

前記クロック制御装置は、前記低速状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックの周波数を減じ、

前記クロック制御装置は、前記ドーズ状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックを遮断し、前記クロック制御装置は、前記スリープ状態にตอบสนองして、前記 CPU クロック、前記 DMA コントローラクロックおよび前記バスインタフェース装置クロックを阻止し、前記ビデオコントローラクロックを遮断する、集積プロセッサ。

【請求項 17】 前記電力管理装置は、予め定められた複数のシステムイベントのうち 1 つが検出されると前記第 1 および第 2 のカウンタをリセットし前記高速状態に遷移する、請求項 16 に記載の集積プロセッサ。